

# 冯奋泽

✉ 202200120030@mail.sdu.edu.cn · ☎ (+86) 173 0191 2364 ·

## 🎓 教育背景

山东大学, 青岛, 山东

2022 – 今

学士 微纳光电子科学与技术 (王守武班)

## 🔧 项目经历

### 1. 全国智能车竞赛 5G 远程控制赛道

2024 年 3 月 – 2024 年 12 月

Python, C++, Linux 团队项目, 国家二等奖

负责硬件架构维护, 5G 远程控制以及软件系统调试

- 利用 frp 内网穿透实现远程客户端控制智能小车传输图像信息与控制信号, 完成特定任务
- 解决了曝光、纸面反射等室外环境干扰, 实现了智能小车的稳定运行并完成特定任务
- 在低成本算力资源的树莓派上实现了高于 30fps 智能小车的高速自动导航

### 2. 5G 时代下智能电网网络切片资源分配系统

2024 年 5 月 – 2025 年 7 月

分配算法 国家级大学生创新创业项目, 两项发明专利在投, 与山东电网合作

- 开发了基于启发式学习的资源分配算法, 结合 LSTM 实现流量预测, 实现时隙资源的快速分配
- 完成了国家级大创项目结项论文 (30,000words), 成功结项
- 两篇专利处于实质审查阶段: 《基于 BiConv-LSTM 结合改进蚁群算法的混合竞争动态时隙分配方法和系统》《一种面向智能电网网络切片的效用最大化资源分配方法》

### 3. AI 研究

2024 年 6 月 – 2025 年 5 月

深度学习, Python

- 凝视估计: 研究如何权衡计算资源与凝视估计准确性, 应用到网络摄像头, 项目调研工作
- 知识冲突: 构建并开源了大模型的知识冲突检测数据集, 定义了三类冲突, 一篇论文在投  
《Benchmarking Multimodal Knowledge Conflict for Large Multimodal Models》

### 4. 基于 FPGA 的 RISC-V RV32I CPU 设计

2025 年 2 月 – 2025 年 6 月

FPGA 设计 个人项目

使用 Verilog 编程从 0 设计了 32 位 RISC-V 非流水线和流水线 CPU

- 根据 RISC-V 官方提供的 RV32I 指令集为参考, 通过 Vivado 实现了 CPU 设计, 且仿真结果正确
- 使用 Booth-4 编码结合华莱士树设计了 200MHz 速度的 32 位乘法器, 三级流水线

### 5. 全国大学生电子设计竞赛山东省二等奖

2025 年 7 月 – 2025 年 8 月

STM32, C 语言, 信号处理 团队项目

基于扫频法和傅里叶系数拟合输出的未知模型探究装置

- 利用 LMV328 运放搭建了确定传递函数的 RC 有源滤波电路, 误差 <5%
- 利用扫频法探究未知 RLC 无源滤波电路的频率响应, 十阶傅里叶系数拟合输入波形
- 利用 IQ 法获取相位差, 实现软件锁相, 最终输出同频、同幅、同相、不失真波形

♡ 获奖情况

---

全国大学生智能车竞赛华北赛区第三名，国家二等奖	2024 年 12 月
全国大学生数学建模竞赛省级二等奖	2024 年 9 月
美国大学生数学建模竞赛 <i>Meritorious</i> 奖	2024 年 2 月
全国大学生电子设计竞赛省级二等奖	2025 年 8 月
其他奖项：山东大学创新创业先进个人，山东大学校园文体活动先进个人，2* 优秀共青团员，20+ 体育奖项等	

❖ 其他

---

- 成绩：90.06
- 语言：英语 - 熟练 (四级 478 | 六级 473 | IELTS：6.0)
- 奖学金：国家励志奖学金、优秀学生干部、山东大学优秀学生奖二等，5\* 体育素养、社会服务、创新创业等特长奖学金
- 社会工作：于山东大学一多书院学生会分别任职干事、部长、主席团各一年
- 核心课程：数电、模电、信号与系统、半导体物理、微纳加工技术、FPGA 实践、高频、电磁波、固体物理等
- 技能：Verilog，C 语言，Python，STM32，Linux，MATLAB，半导体及微纳加工技术知识，电路分析与设计等